

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 5 - 2 2 7 4 5 3

(43) 公開日 平成 5 年 (1993) 9 月 3 日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N	5/12	A 9070 - 5 C		
H 0 3 L	7/06			
	7/087			
		9182 - 5 J	H 0 3 L	7/06
		9182 - 5 J		7/08
				B
				P
審査請求 未請求 請求項の数 3				(全 19 頁) 最終頁に続く

(21) 出願番号 特願平 4-28170

(22) 出願日 平成 4 年 (1992) 2 月 14 日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中 1015 番地

(71) 出願人 000237606

富士通デバイス株式会社

東京都千代田区丸の内 2 丁目 6 番 1 号

(72) 発明者 玄馬 哲

東京都千代田区丸の内 2 丁目 6 番 1 号 富士通デバイス株式会社内

(72) 発明者 内田 佳成

東京都千代田区丸の内 2 丁目 6 番 1 号 富士通デバイス株式会社内

(74) 代理人 弁理士 石川 泰男

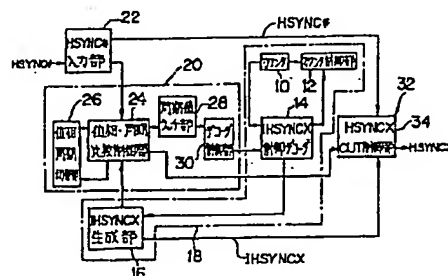
(54) 【発明の名称】 周波数自動調整装置

(57) 【要約】 (修正有)

【目的】 AFC をデジタル回路で実現し、LSI 化する事で回路の規模の縮小や安定性・信頼性を向上する。

【構成】 外部同期信号を入力する手段 22 と、内部同期信号を生成する手段 16 と、外部同期信号を一定間隔でサンプリングして、内部同期信号との同期差を検出しその度合いを測る比較手段 24 の比較結果に基づき内部同期信号の同期を徐々に変化させる手段 30、14 と、両同期信号の周期が同じになると、内部同期信号の周期を固定する手段 28 と両同期信号その位相差を検出し位相差の度合いを測る比較手段 24 の比較結果に基づき内部同期信号の周期幅を変化させる手段 30、14 と、両同期信号の位相が近傍に達すると、位相を徐々に合わせ込む手段 30、14 と、周期及び位相が合うと、外部同期信号のサンプリングを継続しながら、内部同期信号の周期及び位相を微調整する手段 30、14 とを含む。

本発明の原理による周波数自動調整装置



【特許請求の範囲】

【請求項1】 外部で発生する同期信号 (SYNC#) を入力する手段 (22) と、

内部で同期信号 (ISYN CX) を生成する手段 (16) と、

外部から入力した同期信号 (SYNC#) を一定間隔でサンプリングして、該外部同期信号 (SYNC#) と前記内部同期信号 (ISYN CX) との同期差を検出する手段 (24) と、

該同期差の度合いを測る比較手段 (24) と、

該同期差比較手段 (24) による比較結果に基づき内部同期信号 (ISYN CX) の同期を徐々に変化させる手段 (30, 14) と、

前記内部同期信号 (ISYN CX) の周期が前記外部同期信号 (SYNC#) の周期と同じになると、内部同期信号 (ISYN CX) の周期を固定して周期幅を保持する手段 (28) と、

前記両同期信号 (ISYN CX, SYNC#) の周期が同じになると、前記内部同期信号 (ISYN CX) と前記外部同期信号 (SYNC#) との位相差を検出する手段 (24) と、

該位相差の度合いを測る比較手段 (24) と、

該位相差比較手段 (24) による比較結果に基づき内部同期信号 (ISYN CX) の周期幅を変化させる手段 (30, 14) と、

前記内部同期信号 (ISYN CX) の位相が前記外部同期信号 (SYNC#) の位相の近傍に達すると、内部同期信号 (ISYN CX) の位相を外部同期信号 (SYNC#) の位相に徐々に合わせ込む手段 (30, 14) と、

前記内部同期信号 (ISYN CX) と前記外部同期信号 (SYNC#) の周期及び位相が合うと、外部同期信号 (SYNC#) のサンプリングを継続しながら、内部同期信号 (ISYN CX) の周期及び位相を微調整する手段 (30, 14) と、

を含むことを特徴とする周波数自動調整装置。

【請求項2】 請求項1記載の装置において、前記外部同期信号 (SYNC#) あるいは前記内部同期信号 (ISYN CX) のいずれか一方を選択して、出力同期信号 (SYN CX) として出力する手段 (34) を含み、該出力手段 (34) は、前記外部同期信号 (SYNC#) 及び前記内部同期信号 (ISYN CX) の同期差の度合い及び位相差の度合いに基づいて、いずれか一方の同期信号を選択し、両同期信号 (SYNC#, ISYN CX) の同期及び位相が同じである場合には、外部同期信号 (SYNC#) を出力同期信号 (SYN CX) として出力することを特徴とする周波数自動調整装置。

【請求項3】 請求項2記載の装置において、前記出力手段 (34) は、外部同期信号 (SYNC#) を出力同期信号 (SYN CX) として出力している間に、外部同

期信号 (SYNC#) と内部同期信号 (ISYN CX) との周期あるいは位相に変動が生じたときには、内部同期信号 (ISYN CX) を出力同期信号 (SYN CX) として出力することを特徴とする周波数自動調整装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、周波数自動調整装置 (Automatic Frequency Controller, AFC) に関する。特に、TV、VTR等の画像機器に使用される表示画面の制御信号である水平・垂直同期信号の周波数自動調整装置に関する。

【0002】 近年の電気機器のLSI化に伴い、アナログ回路で構成されている回路のデジタル化が要求されている。このため、アナログ回路で構成されている周波数自動調整回路をデジタル化してLSI内に集積する必要がある。

【0003】

【従来の技術】 TV画面を制御する水平・垂直同期信号のうち、一般的に、垂直同期信号 (以下VSYNC#という) では、積分された形で波形が生成されるので、外来ノイズ等が混入しても積分により除去されてしまうが、水平同期信号 (以下HSYNC#という) では、微分された波形で生成される為、ノイズ等に弱く、ノイズの混入によりTV画面の一部が乱される原因となる。

【0004】 この乱れを抑えるために、同期信号を平衡化する手段をAFCとしている。従来のAFCは、図2に示すような構成で成り立ち、外部から入力される同期信号 (例えばTV放送信号から分離された水平同期信号) SYNC#と発振回路1により出力される同期信号 SYN CXとの位相差を位相検出部2により検出し、検出結果を積分部3で積分して位相差を電圧に変換する。

【0005】 電圧に変換された位相差は、前記発振回路1に入力され、電圧の高低により発振回路1の発振特性を変化させて発振周波数を高めたり遅くしたりする事で、出力同期信号 SYN CXの周波数の制御を行っていた。

【0006】

【発明が解決しようとする課題】 上記従来のAFCにおいては、コンデンサや抵抗・コイルで微分、積分回路3が構成され、発振回路1や位相検出回路2もトランジスタや水晶発振子等のアナログ回路で構成され、発振の周波数調整も電圧差等で制御されるといった様に、全てアナログ的に行われてきた。

【0007】 従って、デジタル回路を集積したLSIにアナログ回路であるAFCを組み込む事は、電気特性の保証や回路実現の困難性のため、現実的に実現できず、LSIとは別にアナログ回路でAFCを構成する事となり、回路規模が増大するといった問題を生じていた。

【0008】 そこで、本発明は、AFCをデジタル回路で実現し、LSI化する事で回路の規模の縮小や安定性

・信頼性を向上する事を目的とする。

【0009】

【課題を解決するための手段】本発明は、外部で発生する同期信号(SYNC#)を入力する手段(22)と、内部で同期信号(1SYNCX)を生成する手段(16)と、外部から入力した同期信号(SYNC#)を一定間隔でサンプリングして、該外部同期信号(SYNC#)と前記内部同期信号(1SYNCX)との同期差を検出する手段(24)と、該同期差の度合いを測る比較手段(24)と、該同期差比較手段(24)による比較結果に基づき内部同期信号(1SYNCX)の同期を徐々に変化させる手段(30, 14)と、前記内部同期信号(1SYNCX)の周期が前記外部同期信号(SYNC#)の周期と同じになると、内部同期信号(1SYNCX)の周期を固定して周期幅を保持する手段(28)と、前記両同期信号(1SYNCX, SYNC#)の周期が同じになると、前記内部同期信号(1SYNCX)と前記外部同期信号(SYNC#)との位相差を検出する手段(24)と、該位相差の度合いを測る比較手段(24)と、該位相差比較手段(24)による比較結果に基づき内部同期信号(1SYNCX)の周期幅を変化させる手段(30, 14)と、前記内部同期信号(1SYNCX)の位相が前記外部同期信号(SYNC#)の位相の近傍に達すると、内部同期信号(1SYNCX)の位相を外部同期信号(SYNC#)の位相に徐々に合わせ込む手段(30, 14)と、前記内部同期信号(1SYNCX)と前記外部同期信号(SYNC#)の周期及び位相が合うと、外部同期信号(SYNC#)のサンプリングを継続しながら、内部同期信号(1SYNCX)の周期及び位相を微調整する手段(30, 14)と、を含むことを特徴とする。

【0010】図1には、本発明の原理による周波数自動調整装置が示されている。この図1の装置は、水平同期信号(以下HSYNC#)に対して周波数制御を行う回路を構成している。

【0011】1HSYNCXは、内部で生成される水平同期信号であり、該1HSYNCXは、カウンタ10と、カウンタ10を制御するカウンタ制御部12と、カウンタ値をデコードする制御デコーダ14とデコーダ値から信号を生成する生成部16と、から成る回路18から出力される。

【0012】1HSYNCXの周波数と位相を調節する回路20は、外部から入力部22を介して入力されるHSYNC#と内部生成の1HSYNCXとの位相差及び周期差を検出する位相・周期比較制御部24と、その位相・周期比較制御部24が位相比較か周期比較かのどちらを比較するかを指示する切替部26と、周期の比較結果を保持するラッチ部28と、保持された比較結果からデコーダ14を制御するデコーダ制御部30と、から成り立っている。

【0013】平衡化された水平同期信号であるHSYNCXを生成する回路32は、位相・周期比較制御部24の比較結果を条件にしてHSYNC#と1HSYNCXの信号の切替えを行うOUT制御部34から成り立つ。

【0014】

【作用】次に、本発明の原理による周波数自動調整装置の作用を図3(A)、(B)、(C)、(D)を参照しながら説明する。

【0015】まず、外部入力HSYNC#の信号が有効でないHigh状態のとき(以下ネゲート時)は、図3(A)のように内部で生成される同期信号1HSYNCXがHSYNCXとして出力される。

【0016】この時のHSYNCXの周波数は、予め保持されている周期値ラッチ部28の比較データに基づきデコーダ制御部30の制御データにより決定される。次に、HSYNC#がLowとなり有効になる(以下アサート時)と、図3(B)のようにHSYNC#と1HSYNCXとの周期差を比較制御部24で比較して、比較結果により1HSYNCXの周波数を可変させてHSYNC#の周波数に近づける。

【0017】この時いきなりHSYNC#と同じ周波数に近づけるのではなく、ある一定の上下限の範囲内で1HSYNCXの周波数を変化させ、周波数が近づくにつれて変化の割合も小さくする。

【0018】HSYNC#と1HSYNCXの周期が同じになった時点で周期は固定され、周期値ラッチ部28に周期の値が保持される。次に位相の合わせ込みを行うが、HSYNC#と1HSYNCXがある一定の位相より外れていると、1HSYNCXの周期に一定の長さがあたえられ、HSYNC#と1HSYNCXの周期幅を再び異なるように制御する。(図3(C))これによりHSYNC#と1HSYNCXの位相が徐々に近づき、位相が合わせ込まれた時点で、1HSYNCXの周期幅をHSYNC#と同じ周期に戻し位相合わせが終了する。

【0019】位相合わせでも、一定の位相合わせ範囲内に位相が同期すると、1HSYNCXに与える一定の長さを小さくして行き、徐々に位相が合わせ込まれるようにする。

【0020】一度1HSYNCXとHSYNC#との同期がとれると、HSYNC#との位相・周期同期を細かい単位で微調整しながらHSYNCXを出力し続ける。この時点でHSYNC#に外来ノイズが載ったり、HSYNC#が一時的に消滅しても、内部の1HSYNCXを出力する事でHSYNCXの安定供給を図る。(図3(D))

以上のように、本発明の原理による周波数自動調整装置によれば、1HSYNCXの周波数(周期)と位相を別個に調整することができる。そして、HSYNC#が急激に変化あるいは一時的に消滅したとしても、内部の1

HSYNEXにより常に平衡化され安定したHSYNEXを供給することができる。

【0021】なお、上記の説明では、水平同期信号をとりあげたが、本発明は、垂直同期信号等の周波数調整を必要とするもの全般に適用可能である。

【0022】

【実施例】以下、図面に基づいて本発明の実施例を説明する。本AFCは、水平同期信号HSYNEX#の制御用コントローラとして説明してあり、外乱等により位相或いは周波数の乱れた外部入力HSYNEX#を補正して常に安定した同期信号を出力する事を目的とする。そして、外部HSYNEX#が入力された時は、内部で発生するIHSYNEXを外部HSYNEX#と位相同期するように周波数自動調整して出力する。また、外部HSYNEX#が停止した時には、内部発生するIHSYNEXを出力する事で安定した同期信号を供給する。詳述すると、

① 外部HSYNEX#が入力されない時は、内部で発生するIHSYNEXを出力する。

【0023】② 外部HSYNEX#が入力されている時は、内部IHSYNEXを外部HSYNEX#に位相同期して出力する。

③ 外部HSYNEX#が停止しても、内部IHSYNEXを出力してHSYNEXの供給を停止しない。

【0024】④ 外部と内部のHSYNEXが同期すると、外部HSYNEX#に外来ノイズ等が載っても許容範囲内でマスキングする。

次に、図4には、本発明の実施例による周波数自動調整装置が示されている。

【0025】図4において、カウンタ50は、8Bitのカウンタである。カウンタ制御部52は、カウンタ50のクリアを制御する。

【0026】デコーダ54は、カウンタ50のカウンタ値をデコードして出力する。パルス制御部56は、デコーダ54のデコード値を制御して制御パルスを出力する。

【0027】状態制御部58は、動作遷移を制御する。HSYNEX#入力部60は、外部から入力されるHSYNEX#の入力部である。HSYNEX#制御部62は、外部入力されたHSYNEX#の制御を行う。

【0028】位相制御部64は、位相比較用のデータを生成する。位相比較部66は、外部入力されたHSYNEX#と位相比較データとの比較を行う。

【0029】動作制御部68は、位相比較されたデータを処理して、次の動作を制御する。データレジスタ70は、動作制御用のデータ格納レジスタである。位相ロック制御部72は、外部HSYNEX#との位相同期を制御する。

【0030】HSYNEX発生部74は、HSYNEXの出力制御を行う。次に、動作概要を説明する。動作の基準となるクロックは、カラーバースト信号の4倍の周波

数のパルスである4fscをクロックとして使用する。

【0031】主な動作は、

① 外部入力HSYNEX# (以下HSYNEX#) のサンプル動作

② 外部入力HSYNEX#と内部発生IHSYNEXの位相比較動作

③ 内部発生IHSYNEX (以下IHSYNEX) の位相・周波数制御動作
の3種類に区別出来る。

【0032】各動作は図5に示される期間に行われる。詳述すると、

① サンプル動作は常に行われ、外部から入力されるHSYNEX#を位相比較用のデータとしてサンプルする。HSYNEX#のサンプルは、LowレベルからHighレベルへの立ち上がりエッジを検出して行われる。

【0033】② 位相比較では、サンプルされたデータと内部動作の位相差及びIHSYNEX CYCLE幅 (周波数) を比較して位相差データと1H幅データを生成する。

【0034】③ 位相制御では、生成された位相差データとIHSYNEX CYCLE幅データにより内部動作の制御を行い、外部入力HSYNEX#に内部生成のIHSYNEXの位相を近づける。

【0035】(1) 外部入力HSYNEX#のサンプル動作

HSYNEX#のサンプルは以下の3種類に区別して行う。

① HSYNEX#とIHSYNEXが全く同期していないと見なす期間

② HSYNEX#とIHSYNEXのIHSYNEX CYCLE幅 (以下1H幅) の同期期間

③ HSYNEX#とIHSYNEXの位相同期期間
各サンプル期間は図6に示される通りである。詳述すると、

① HSYNEX#とIHSYNEXが全く同期していないと見なす非同期の期間には、HSYNEX#がサンプルされると、IHSYNEXの1H幅データは最大 (或いは最小) 値としてサンプルされ、HSYNEX#が1H幅の同期期間内でサンプル出来るまで繰り返される。

【0036】② HSYNEX#が1H幅の同期期間内にサンプルされると、その期間内で定められた一定のデータがIHSYNEXの1H幅データとしてサンプルされる。これにより、IHSYNEXの1H幅を変動させてHSYNEX#とIHSYNEXの1H幅を±(4×1/fsc)secの誤差範囲で同一化させる。

【0037】③ HSYNEX#とIHSYNEXの1H幅が±(4×1/fsc)secの誤差範囲で同一化した時点で、IHSYNEXの1H幅を再び一定量増加 (或いは減少) させて、位相同期期間内にHSYNEX#がサンプル出来るように調節する。位相同期期間にHS

YNC#がサンプルされると、IHSYNXCXの1H幅を、HSYNC#と再び同一化して、位相同期期間内で定められた一定のデータサンプルによりIHSYNXCXとHSYNC#の位相差を $1/fsc \text{ sec}$ 単位で毎ラスタ修正して同期を行う。

【0038】(2) 1H幅同期データの生成
外部入力HSYNC#のサンプル位置により、1H幅同期用のデータが生成される。

【0039】サンプルされる同期用データの区分は2種類に分けられる。(図7(A)参照) 非同期期間にHSYNC#がサンプルされた時には、一律の同期用データが生成され、サンプルされた時点の±DATAのレベルによりプラスかマイナスが決まる。

【0040】同期調節期間は、HSYNC#のサンプル位置により、それぞれ同期用データが生成される。同期用データは、PHASE DATAとして以下のように割当られ、2ラスタに渡って同じPHASE DATAがサンプルされると、HSYNC#とIHSYNXCXの1H幅が同期したと見なす。

【0041】1H幅の同期が合うと、再度HSYNC#とIHSYNXCXの同期が外れるまでサンプルされたデータは固定される。PHASE DATAにも±のデータが付属する。(図7(B)、(C)参照) (3) 位相同期データの生成

HSYNC#とIHSYNXCXの1H幅が同期すると、PHASE DATAに一定量の値を加減算し、HSYNC#のサンプル位置が同期調節期間のPHASE DATA 0期間に収まるまで繰り返す。

【0042】PHASE DATA 0期間でHSYNXC#がサンプルされると、位相LOCK期間となりLOCK DATAがサンプルされる。LOCK DATAは毎ラスタHSYNXC#が入力される限りサンプルされる。(図8参照)

(4) 位相制御動作
IHSYNXCXの1H幅を増減させて、外部入力HSYNC#との同期を行う。

【0043】動作は1H幅調整の動作と、位相合わせの動作の2種類に区別出来る。(図9(A)参照)

1H幅の調整ではPHASE DATAに従って、 $5 \times fsc$ の単位で0~16の範囲で1Hの長さが調節され、調節値が8の時が標準となり、8以下はマイナス側、8以上はプラス側としてIHSYNXCXの長さが調節される。

【0044】PHASE DATAは0~Fまであり、図9(B)のように対応する。位相合わせの調整ではLOCK DATAに従って、 fsc 単位に0~10の範囲で長さが調節され、調節値は5が標準値となり5を基準にIHSYNXCXの長さが調節される。

【0045】また、PHASE DATAが非同期期間を表す値の時と1H幅同期後のPHASE DATA

0期間にHSYNC#をサンプルする時の動作時には、最大値(10)が最小値(0)となる。

【0046】LOCK DATAは図9(C)のように対応する。

(5) HSYNC#とIHSYNXCXの立ち上がりレベル同期化

HSYNC#とIHSYNXCXの位相が同期すると、HSYNXCXのパルス立ち上がりタイミングは、内部発生IHSYNXCXから外部入力HSYNC#ダイレクト出力に切り換える。

【0047】これにより、HSYNC#とIHSYNXCXは完全に同期化が行われることになる。(図10(A)参照)

HSYNC#のダイレクト出力の範囲はIHSYNXCXの立ち上がり前後 $4 \times fsc$ 範囲であり、前後約 $1 \mu sec$ の範囲を持たせてある。(図10(B)参照)

(6) HSYNC#ダイレクト出力とIHSYNXCX出力の切替え

HSYNC#とIHSYNXCXの位相が同期化され、HSYNXCXの立ち上がりがIHSYNXCXにダイレクト出力された状態で動作する時、HSYNC#の発振停止に備えてIHSYNXCXの立ち上がりポイント前でHSYNXC#をサンプルし、HSYNXC#がLowレベルならHSYNXC#のダイレクト出力に、Highレベルなら内部発生IHSYNXCX立ち上がりの出力に切り換える。(図11(A)、(B)参照)

外部入力HSYNXC#がLowレベルで停止した時は、HSYNXC#ダイレクト出力範囲最終位置で強制的にIHSYNXCXを立ち上げる。(図11(C)参照)

(7) HSYNXCXの立ち下がり位置

HSYNXCXの立ち下がり位置は、AFC内部で生成される。

【0048】HSYNXCXのアサート期間は $(17 \times fsc) sec$ と規定して、常に一定の位置でアサートを行う。(図12(A)参照)

これにより、HSYNXCXの立ち上がりをHSYNXC#ダイレクト出力へ切り換えた時のHSYNXCXパルス幅は $13 fsc \sim 22 fsc$ の範囲となる。(図12(B)参照)

(B) 参照)

次に、状況別の動作を説明する。

【0049】まず、外部入力HSYNXC#が停止している時の動作を説明する。外部入力HSYNXC#が停止した状態で内部IHSYNXCXが発生している時は、HSYNXC#のサンプルを行ないながらIHSYNXCXの発生を行っている。

【0050】内部発生IHSYNXCXの1H幅は、初期状態なら $227.5 \times fsc$ の幅で動作を繰り返す。また、HSYNXC#の発振が途中で停止した直後なら、HSYNXC#発振時の1H幅で動作を行う。

【0051】HSYNXC#の発振が開始されると、ノイ

ズ除去の為3ラスタ分のHSYNC#をカウントの後、HSYNC#とIHSYNXCの位相同期動作に入る。

(図13参照)

(1) 外部入力HSYNC#と内部発生IHSYNXCが同期した状態の動作外部入力のHSYNC#と内部発生IHSYNXCが位相同期した状態では、HSYN C#のサンプルによりIHSYNXCの1H幅を微調整しつつ、水平同期信号HSYNXCを出力する。

【0052】この時のHSYNXCの立ち上がりはHS YNC#をダイレクトに出力する事でHSYNC#とH 10 SYNXCの位相の同期を合わせる。(図14参照)

(2) 外部入力HSYNC#と内部発生IHSYNXCを同期する時の動作HSYNC#が停止状態から発振を開始し、IHSYNXCの位相を同期する時の動作を説明する。

【0053】HSYNC#が非同期期間にサンプルされれば、±DATAによりIHSYNXCの1H幅が最大幅か最小幅に設定され動作を繰り返す。HSYNC#のノイズ除去の為HSYNC#のサンプルはHSYNC#発振から3ラスタ後に開始する。(図15(A)参照) 20 HSYNC#を同期調節期間にサンプルすると、同期調節期間内で定められた値に従ってIHSYNXCの1H幅は1ラスタ毎に変化する。

【0054】サンプルされたPHASE DATAが2ラスタに渡って同じであれば、そのデータを1H幅の同期データ(PHASE SAMPLE DATA:PSAMP DT)として使用する。(図15(B)参照)

1H幅の同期が終了後HSYNC#のサンプル位置がPHASE DATA 0の期間に収まれば、LOCK DATAを毎ラスタサンプルして位相調整を行う。(図1 5(C)参照)

(3) 外部入力のHSYNC#が停止した時の動作 HSYNC#の発振が停止した時は、発振停止前のPHASE SAMPLE DATAとLOCK SAMPLE DATAの値で生成されたIHSYNXCをHSY NCXとして出力する。(図16(A)参照) HSYNC#の発振停止の判断はIHSYNXC立ち上 がりの5fsc前に行う。

【0055】この時点でHSYNC#がLowレベルで なければ同期ずれと見なし内部発生IHSYNXC立 40 ち上げに切り換える。(図16(B)参照)

(4) 外部入力のHSYNC#の1H幅が(227.5 ×fsc)secより長い時の同期動作 HSYNC#の1H幅が標準値(227.5×fsc)より4×fscを越える長さの時は、PHASE DATAの値が標準値より長く設定される。

【0056】1H幅の同期期間内で2ラスタに渡って同じPHASE DATAをサンプルすると、そのPHA SE DATAをPHASE SAMPLE DATAとして設定する。(図17(A)参照)

PHASE SAMPLE DATAが設定されるとLOCK DATAを最大値に設定し、HASNC#より1H幅を(5×fsc)sec増やす。

【0057】HSYNC#がPHASE DATA 0期間である位相LOCK期間内でサンプルできるまでこの状態で動作する。(図17(B)参照)

位相LOCK期間内でHSYNC#がサンプルされると、LOCK SAMPLE DATAは本来の位相制御用のデータが毎ラスタ設定される。(図17(C)参照)

(5) 外部入力のHSYNC#の1H幅が(227.5 ×fsc)secより短い時の同期動作 HSYNC#の1H幅が標準値(227.5×fsc)より4×fsc以上短い時はPHASE DATAの値が標準値より短く設定される。

【0058】1H幅の同期期間内で2ラスタに渡って同じPHASE DATAをサンプルすると、そのPHASE DATAをPHASE SAMPLE DATAとして設定する。(図18(A)参照)

20 PHASE SAMPLE DATAが設定されると、LOCK DATAを最小値に設定し、HSYNC#より1H幅を(5×fsc)sec減らす。

【0059】HSYNC#がPHASE DATA 0期間である位相LOCK期間内でサンプルできるまでこの状態で動作する。(図18(B)参照)

位相LOCK期間内でHSYNC#がサンプルされると、LOCK SAMPLE DATAは本来の位相制御用のデータが毎ラスタ設定される。(図18(C)参照)

30 (6) 外部入力のHSYNC#の同期が外れた時の動作 位相が同期した状態で動作している途中でHSYNC#の位相にズレが生じた場合、1ラスタ後に位相修正動作に移る。(図19(A)参照)

位相修正動作に入ると、LOCK SAMPLE DATA(L SAMPDT)は-0値が設定され、PHASE SAMPLE DATAはHSYNC#のサンプル値が設定される。

【0060】以後通常の同期動作が行われ、1H幅の同期と位相同期とが行われる。(図19(B)参照)

(17) 外部入力のHSYNC#が1ラスタだけ停止した時の動作

外部入力のHSYNC#が1ラスタだけ停止して再び発振を開始した時には、発振の停止した1ラスタ間だけHSYNXCの出力を内部発生IHSYNXCに切替え、発振開始後はHSYNC#に同期して動作する。

【0061】1ラスタの停止期間は、1H幅の同期と位相の同期は解除しない。発振停止が1ラスタを越えた場合には、外部入力HSYNC#が停止したと見なし、1H幅の同期動作から開始する。(図20参照)

50 (8) 同期動作中にHSYNC#へノイズが載った場合

の動作

HSYNC#とHSYNEXが同期動作中にHSYNC#にパルス性ノイズが載った場合は、マスクが掛かり無効と見なす。

【0062】マスクの期間は位相LOCK期間外をマスク期間とし、その期間にHSYNC#がアサートされても無効となる。(図21参照)

(9) 1H同期後にHSYNC#の1H幅に変動が生じた場合の動作

1H幅の同期後にHSYNC#の1H幅に変動が生じた場合、位相同期が行われない可能性がある為、1H幅同期後に16ラスタ後でも位相LOCK期間にHSYNC#がサンプルされなければ1H幅の同期を再び行う。

(図22参照)

次に、本発明の周波数自動調整装置について更に具体的に説明する。

【0063】背景

TVやTV一体型VTR等の表示画面には、スーパー・インポーズによりチャンネルや日付などの文字／グラフィックなどがオン・スクリーン表示されている。

【0064】これらオン・スクリーン表示されている文字／グラフィックは、専用LSIであるOSDC (On Screen Display Controller) などにより制御されるのが一般的である。

【0065】しかし、TV、VTR等において、受信電波が弱い場合(弱電界)や無信号時または、VTRにおける特殊再生時(早送り、巻戻しや、無録画部の再生等)やテープの伸び等の条件下では、正常な映像信号をOSDCに供給することができない場合が発生し、オン・スクリーン表示された文字／グラフィックが上下に揺れたり、左右に振れたりする現象が発生する。

【0066】そこで、映像信号を補正し、常に安定した表示画面を供給する目的でAFCが使用される。AFCとは、周波数自動制御(Automatic Frequency Controller)の略であり、主に映像信号に含まれる水平同期信号の補正に使用される。

【0067】従来のAFCは、電位差などにより水平同期信号の周期・位相調整をリニア的に行っており、アナログ回路にて構成されていた。このため、CMOS構造で製作されているOSDC等への取り込みには不向きであった。そこで、表示系LSIであるOSDC (On Screen Display Controller) に内蔵する事を目的として、完全デジタル化のAFC回路を試作した。

【0068】AFC機能を内蔵すると、システムの低価格化・部品点数の削減／回路の簡素化、および信頼性の向上などのメリットがでてくる。

TV画像

現在、世界各国で使用されているTVの映像信号方式は、大きく分けると、NTSC、PAL、SECAMの3種類に区別する事ができる。

【0069】国内で使用されているTVの画像はNTSC (National Television System Committee) 規格に準拠した方式で放映されている(NTSC規格の概略を図23に示す)。

【0070】NTSC規格は、表示画面の縦方向は525本の走査線により構成され、走査線1ライン(1テストと呼ぶ)は、輝度信号、色信号、カラーバースト信号、同期信号の混合信号(Composit Video Signal:コンポジット信号)で成り立つ。

10 【0071】AFCの必要性

前記図23において、輝度信号Lは信号のレベルにより画面の明暗を制御している。

【0072】カラーバーストBと色信号Cは表示色を制御する信号であり、色信号Cは色副搬送波(f_s)と呼ばれるカラーバースト信号Bと同じ周波数の搬送波に載せて送信される。(位相は異なる)

そして、カラーバースト信号Bと色信号Cとの位相により画面に表示される色合いが決まり、色信号Cの振幅強度により表示色の濃度が決まる。

20 【0073】水平同期信号はHSYNC (Horizontal Synchronization) と呼ばれ、画面水平方向の表示位置制御を行っている。これらの信号を受信機(TV)が受信すると、輝度信号L、色信号C、同期信号HSYNCにそれぞれ分離して表示画面に画像を再生する。

【0074】この時、水平同期信号HSYNCは一般的に微分回路により分離生成される為、ノイズ等の外乱に対して影響を受けやすくなり、影響を受けた際の症状としては、画面が波うつ現象や局部的に画像が横に流れるといった現象が生じてしまう。(図24参照)

30 これらの現象の除去にAFCが用いられる。

【0075】AFCの原理

1画面525本からなる水平同期信号HSYNCは、位相のズレやノイズによる影響を多少なりとも受けているが、それらの各ラスタの水平同期信号HSYNCを平均化すると、ラスタ間の位相差は少なくなり、局部的な信号の乱れも平均化され除去される。この平均化された水平同期信号HSYNCを用いて表示画面を制御することにより、安定した画像を得ることが可能となる。

40 【0076】図25に原理構成を示す。図25中のHSYNC#とは、HSYNC分離部80でコンポジット信号Signalより分離生成された水平同期信号である。

【0077】HSYNC信号は、発振回路82により生成されたパルス波であり、ディスプレイ装置CRTの画面制御に使用する。HSYNC信号の発振周波数は、水平同期信号の規格に準拠したパルスが発生するように調整されている。

50 【0078】位相検出回路84はHSYNC#信号とHSYNC信号との位相差を検出し位相差のレベルに合わせた信号を出力する。検出された位相差信号は、積分回

路86により平滑され、発振回路82の周波数制御信号となる。

【0079】発振回路82は発振制御信号により周波数の高低を制御できるものを使用し、HSYNC#とHSYNCの位相差が無くなるまで周波数調整が行われる。このようにフィードバックを繰り返し水平同期信号HSYNCは平均化されていく為、HSYNC#の周期・位相が急峻に変化しても、AFCにより補正された水平同*

- ① 水平同期信号HSYNC#が無
期 くなった時
② 水平同期信号HSYNC#が供
期 給されている時
同
を

【0082】

- ③ 水平同期信号HSYNC#が中
期 断した時
④ ノイズに対する対策

→ AFC回路で生成している水平同期信号HSYNEXを出力する。
→ AFC回路で生成している水平同期信号HSYNEXを外からの水平同期信号HSYNC#に位相、周期同期化する。

→ AFC回路で生成している水平同期信号HSYNEXを出力する。
→ 特定期間、入力をマスクしノイズを除去する。

【0083】

- ⑤ 水平同期信号HSYNC#への
μ 追従範囲 → NTSC規格の同期信号の±10
sec以内にす。

図26には、AFCの全体ブロックが示されている。

【0084】図26において、
HSYNC#：外部からの水平同期信号である。
HSYNC：周波数調整後の水平同期信号である。

【0085】
HSYNEX：AFC回路で生成される水平同期信号である。

fsc：本回路の動作基準クロックで、カラーバ
ースト信号(約3.58MHz)と同等の周波数であ
る。

【0086】水平同期信号発生部90は、色副搬送波f
sのクロックfscを入力し、水平同期信号HSYNEX
を生成するブロックであり、カウンタ90、カウン
タ制御部92、カウンタ制御デコーダ94、デコーダ制
御部96、HSYNEX生成部98を含む。ここで、カ
ウンタ90は、8ビットのカウンタであり、カウンタ制
御部92は、カウンタ90のクリアを制御し、カウンタ制
御デコーダ94は、カウンタ90のカウント値をデコー
ドして出力し、デコーダ制御部96は、カウンタ制御デ
コーダ94のデコード値を制御して制御パルスを出
し、HSYNEX生成部98は、HSYNEXを生成し
て出力する。

【0087】周期・位相検出部100は、外部からの水
平同期信号HSYNC#と内部で生成された水平同期信
号HSYNEXとを比較するブロックであり、位相・周
期比較制御部102、位相・周期切替制御部104、周
期値保持レジスタ106、位相値保持レジスタ108を
含む。ここで、位相・周期比較制御部102は、外部か

*期信号は徐々に調整され、隣接するラスタの周期・位相
関係は急激に変化する事はない。

【0080】AFCの構成

AFCとしては、垂直同期信号を制御する方法と水平同
期信号を制御する方法があるが、今回は、以下のような
水平同期信号を制御するAFCを試作した。

【0081】

→ AFC回路で生成している水平同
期信号HSYNEXを出力する。
→ AFC回路で生成している水平同
期信号HSYNEXを外からの水平
同期信号HSYNC#に位相、周期
同期化する。

→ AFC回路で生成している水平同
期信号HSYNEXを出力する。
→ 特定期間、入力をマスクしノイズを
除去する。

→ NTSC規格の同期信号の±10
sec以内にす。

らの水平同期信号HSYNC#と内部生成の水平同期信
号HSYNEXとの位相・周期を比較し、位相・周期切
替制御部104は、前記比較制御部102が位相の比較
を行うかあるいは周期の比較を行うかを切り替え、周期
値保持レジスタ106、位相値保持レジスタ108は、
それぞれ、周期値、位相値を保持する。

【0088】なお、HSYNC#入力制御部110は、
HSYNC#を入力し、HSYNEX出力制御部112
は、HSYNEXを出力する。また、fscは、AFCの
各ブロックに供給されている。

【0089】水平同期信号発生部90

水平同期信号発生部90は、色副搬送波(f_s)のクロ
ック(fsc)を入力し、水平同期信号(HSYNC
X)を生成するブロックである。

【0090】fscとHSYNEXの関係は
 $fsc = HSYNEX / (2 \times 455)$ (Hz)である
から、

$HSYNEX = fsc / 227.5$ (Hz)となる。

【0091】上式から分かるように、fsc(約3.5
8MHz)クロックからHSYNEX信号を得るために
は、fscを227.5回カウント可能な、8ビット・
カウンタを準備すればよいこととなる。

【0092】図27には、水平同期信号発生部が示さ
れ、(A)、(B)には、それぞれ、回路構成、波形が
示されている。なお、機能仕様において、水平同期信
号の周期変動をNTSC規格信号の±10μsecと設定
すると、NTSC規格227.5+10μsec・fsc
=264となり、fscを264カウントできる9ビ

ット・カウンタが必要となるが、今回の試作では、デコーダや位相検出回路との絡みで、7ビット・カウンタで実現できた。

【0093】周期・位相検出部100

周期・位相検出部100については、①ALUを内蔵した演算器を用いる方法と、②カウンタ&デコード&コンパレータによる方法の2つの案が存在する。

【0094】① 演算器を用いる方法では、周期の追従をプログレッシブ的に行うことができ、位相の同期化が高速である。

② コンパレータによる方法では、回路は比較的規模が小さく、試験回路の組み込みも容易である。

【0095】今回は、将来的に本AFC回路をOSDCへ内蔵することを考慮し、回路規模、試験等の面で有利なコンパレータを用いた方法を採用することにした。コンパレータによる制御では、まずHSYNCの1周期を、図28のように①位相差検出期間、②無作業期間、③周期調整期間、④位相調整期間に分割して考え、それぞれの制御を行う。

【0096】各期間の動作説明

以下、各期間の動作説明を行う。

①位相差検出期間

位相差検出期間では、周期調整値と位相調整値が図29(A)、(B)のように割り当てられており、HSYNC#をトリガとして、それぞれのデータが読み取られる。

【0097】読み取られた周期調整値と位相調整値は後述する周期・位相調整期間のデコーダの制御用に使用される。

②無作業期間

無作業期間では、規定値である93.5カウントをカウンタする。

【0098】③周期調整期間

NTSC規格の水平同期信号は15.75KHzで、 $227.5/fsc \mu sec$ である。

【0099】周期調整期間では、基準の水平同期信号の $\pm 10 \mu sec$ までの周期変動の調整を可能とするものである。周期調整のため、0~80までのカウンタを持っており、 $5/fsc \mu sec$ 単位で周期調整することができる。

【0100】このため、水平同期信号HSYNCに追従可能な周期は $187.5 \sim 267.5/fsc \mu sec$ の範囲となる。

④位相調整期間

周期および位相が同期化された状態においても、位相はラスタ毎に微妙にズレていく。このズレは蓄積されていくので、ラスタ毎に調整が必要となる。この調整を行っているのが位相調整期間である。

【0101】位相調整のため、0~10までのカウンタを持っており、 $1/fsc$ の単位で調整することができ

る。以上の①、②、③、④の動作を図30に示す。

【0102】前記タイミングの実現回路は、図31のような構成となる。なお、水平同期信号発生には、9ビットのカウンタが必要と前述したが、全体を4つの期間①、②、③、④(図30参照)に分けて制御することにより、最大93.5カウントできるカウンタで充分となり、9ビットでなく7ビット・カウンタで実現可能となった。

【0103】AFCの動作説明

10 AFCの動作状態の遷移図を図32に示す。

(a) 初期動作

初期動作としては、「周期調整値レジスタ」と「位相調整値レジスタ」の初期値により、カウンタのデコード値が制御され、HSYNCXが生成され、HSYNCXがHSYNCとして出力される。この時のHSYNCは、NTSCの規格に準拠した信号となっている。(図33参照)

(b) HSYNC#とHSYNCXの周期調整

20 HSYNC#が入力されると周期調整動作を開始し、HSYNC#とHSYNCXとの周期差が $\pm 5/fsc$ の範囲に収まるように調整される。

【0104】調整方法としては、HSYNC#の立ち上がり時点の周期調整値を読み取り、次のHSYNC#の立ち上がり時点の周期調整値との差により周期調整が必要かどうか判断する。

【0105】2回の読み取りで同一の周期調整値が読み取れた時点で周期が同期したものと判断する。図34

(A)は、HSYNCXとHSYNC#の周期を調整する際のタイミングを示すものである。

30 【0106】HSYNCXの周期調整が終了すると、次に、HSYNC#とHSYNCXの位相の調整を行う。まず、HSYNCXの位相を $5/fsc$ 単位で移動し、HSYNC#とHSYNCXの信号の位相(信号の立ち上がり点)が $\pm 4/fsc$ の範囲内に収まるまでHSYNCXを移動する。(図34(B)参照)

次に、HSYNC#とHSYNCXとの位相差が $\pm 4/fsc$ 内に収まると、HSYNC#立ち上がり時点の位相調整値を読み取り、毎ラスタ $1/fsc$ の単位でHSYNCXのパルス幅を増減してHSYNC#とHSYNCXとの位相を同期させる動作を繰り返す。

【0107】また、HSYNC#とHSYNCXの位相が $\pm 4/fsc$ 内で同期した時点でHSYNC信号の立ち上がりエッジはHSYNC#の立ち上がりエッジを出力するように切り換えられる。(図34(C)参照)

(c) ノイズの除去

HSYNC#とHSYNCXが位相同期して動作している時は、HSYNC#の入力回路にマスクをかけ外来ノイズNOISEによるHSYNC#の乱れを防止する。

【0108】HSYNCXの立ち上がりエッジの前後 $4/fsc$ 以外をマスク設定期間とする。(図35参照)

(d) HSYNC#の停止
HSYNC#が停止した場合でも、停止する前の周期・位相でHSYNCXを生成し、HSYNCの供給を続ける。

【0109】HSYNC#の有リ／無しの判断は、HSYNCXの立ち上がりエッジの $5/f_{sc}$ 前でHSYNC#をサンプリングし、HSYNC#がLowであればHSYNCの立ち上がりエッジをHSYNC#に同期する。

【0110】また、HighであればHSYNCの立ち上がりエッジをHSYNCXに同期する。

【0111】

【発明の効果】以上説明したように、本発明によれば、周波数自動調整装置(AFC)をデジタル回路で構成しているので、AFCを周辺LSI等の集積回路に容易に集積可能となる効果を奏し、回路規模縮小が出来、回路の安定性、信頼性、性能向上に寄与する所が大きい。

【図面の簡単な説明】

【図1】本発明の原理による周波数自動調整装置のブロック回路図である。

【図2】従来の周波数自動調整装置のブロック回路図である。

【図3】本発明の原理による周波数自動調整装置の作用説明図である。

【図4】本発明の実施例による周波数自動調整装置のブロック回路図である。

【図5】各動作の行われる期間の説明図である。

【図6】外部入力HSYNC#のサンプル動作の説明図である。

【図7】1H幅同期データの生成の説明図である。

【図8】位相同期データの生成の説明図である。

【図9】位相制御動作の説明図である。

【図10】HSYNC#とHSYNCXの立ち上がりレベル同期化の説明図である。

【図11】HSYNC#ダイレクト出力とHSYNCX出力の切替えの説明図である。

【図12】HSYNCXの立ち下がり位置の説明図である。

【図13】外部入力のHSYNC#が停止している時の動作説明図である。

【図14】外部入力HSYNC#と内部発生HSYNCXが同期した状態の動作説明図である。

【図15】外部入力HSYNC#へ内部発生HSYNCXを同期する時の動作説明図である。

【図16】外部入力のHSYNC#が停止した時の動作説明図である。

【図17】外部入力のHSYNC#の1H幅が $(22.5 \times f_{sc}) \text{ sec}$ より長い時の同期動作の説明図である。

【図18】外部入力のHSYNC#の1H幅が $(22.5 \times f_{sc}) \text{ sec}$ より短い時の同期動作の説明図である。

【図19】外部入力のHSYNC#の同期が外れた時の動作説明図である。

【図20】外部入力のHSYNC#が1ラスタだけ停止した時の動作説明図である。

【図21】同期動作中にHSYNC#へノイズが載った場合の動作説明図である。

【図22】1H同期後にHSYNC#の1H幅に変動が生じた場合の動作説明図である。

【図23】NTSC規格の概略図である。

【図24】ノイズにより影響を受けた画像の説明図である。

【図25】AFCの原理構成図である。

【図26】AFCの全体ブロック回路図である。

【図27】水平同期信号発生部の説明図である。

【図28】HSYNCの1周期の分割の説明図である。

【図29】位相差検出期間の動作説明図である。

【図30】各期間の動作説明図である。

【図31】タイミングの実現回路の説明図である。

【図32】AFCの動作状態の遷移図である。

【図33】初期動作の波形図である。

【図34】HSYNC#とHSYNCXの周期調整の説明図である。

【図35】ノイズの除去時の動作説明図である。

【図36】HSYNC#の停止時の動作説明図である。

【符号の説明】

HSYNC#…外部からの水平同期信号

HSYNCX…周波数調整後の水平同期信号

IHSYNCX…AFC回路で生成される水平同期信号

16…IHSYNCX生成部

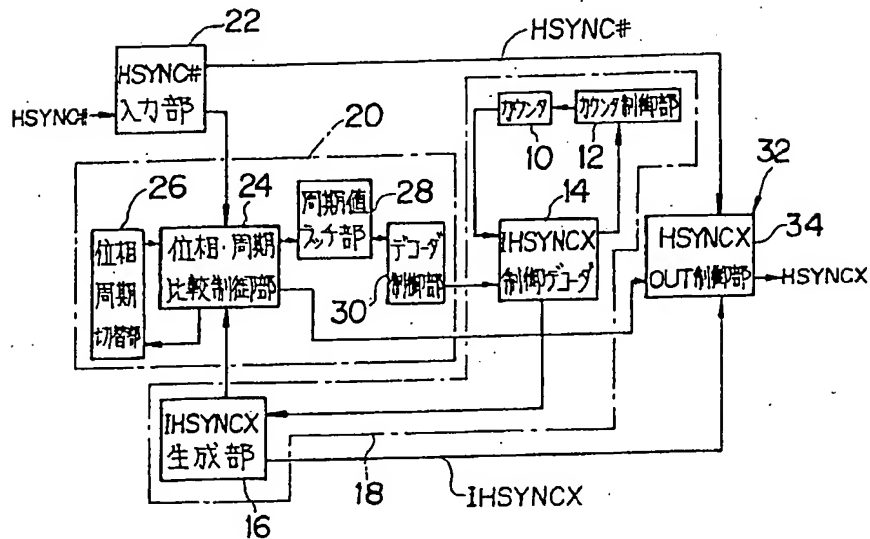
24…位相・周期比較制御部

22…HSYNC#入力部

34…HSYNCXOUT制御部

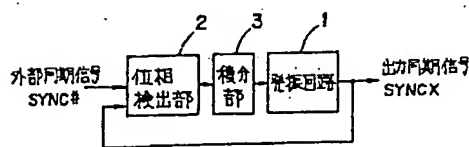
【図1】

本発明の原理による周波数自動調整装置



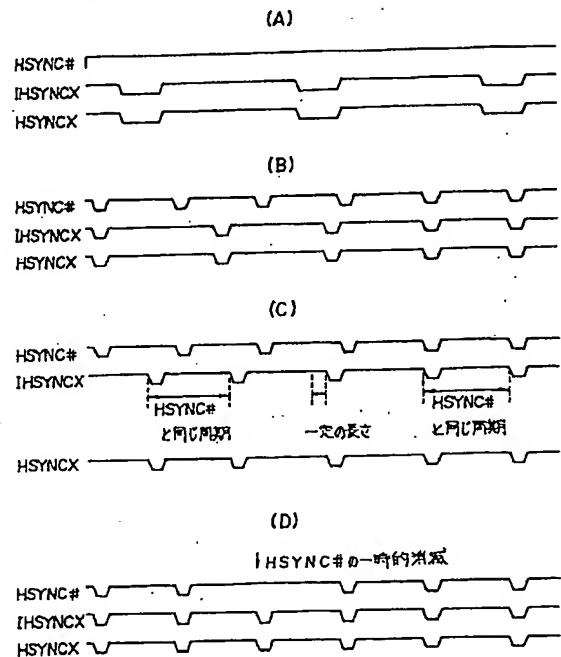
【図2】

従来の周波数自動調整装置



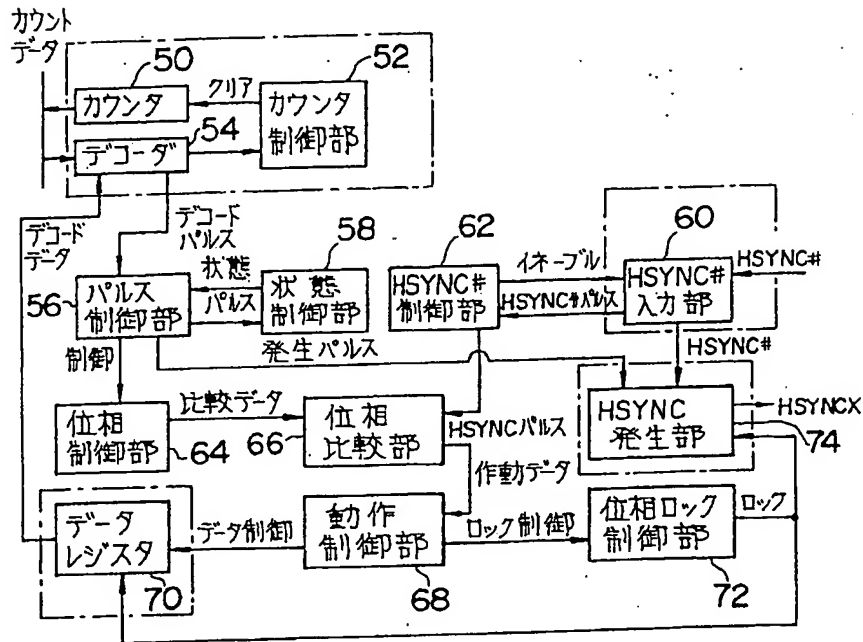
【図3】

本発明の原理による周波数自動調整装置の作用



【図4】

本発明の実施例による周波数自動調整装置

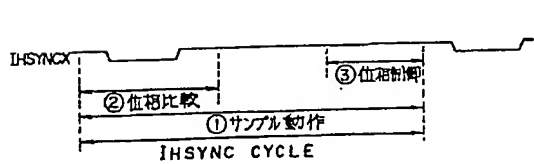


【図5】

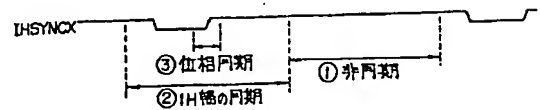
【図6】

各動作の行われる期間

外部入力HSYNC#のサンプル動作



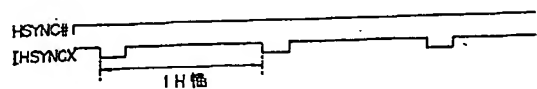
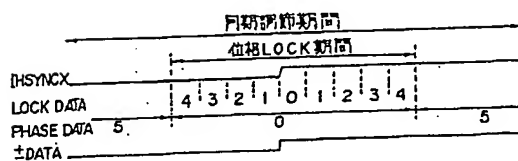
【図8】



【図13】

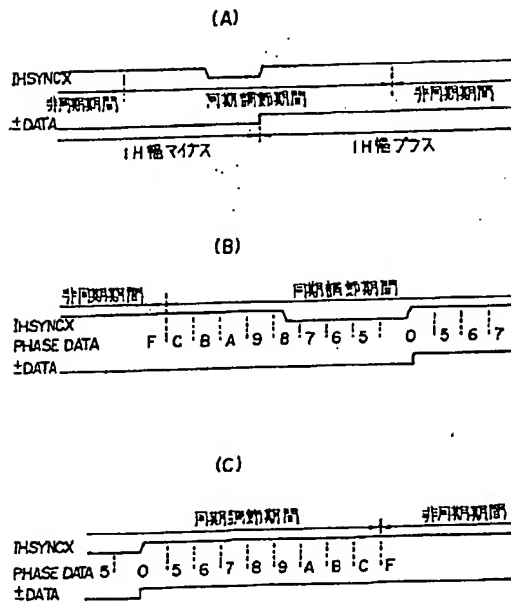
位相同期データの生成

外部入力のHSYNC#が停止している時の動作



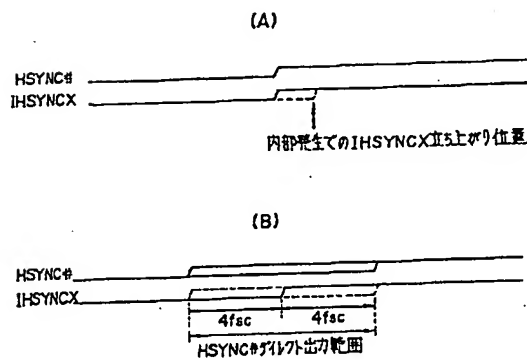
【図7】

IH同期データの生成



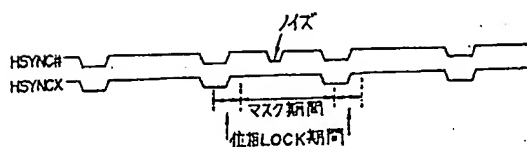
【図10】

HSYNC#とHSYNEXの立ち上がりレベル同期化



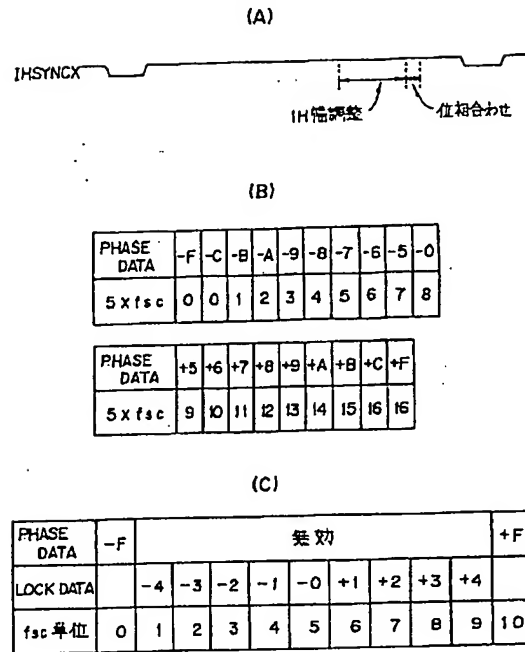
【図21】

同期動作中にHSYNC#へノイズが載った場合の動作



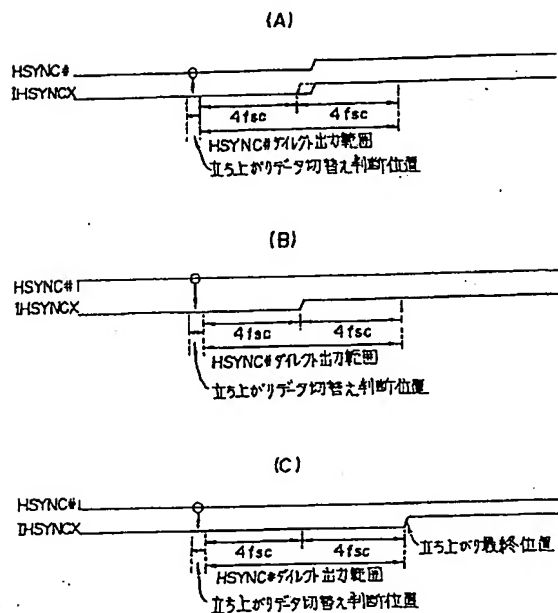
【図9】

位相制御動作



【図11】

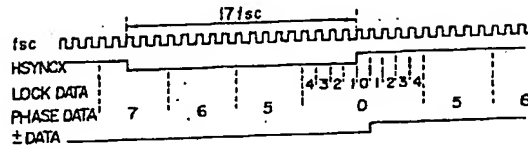
HSYNC#ダイレクト出力とIHSYNEX出力の切替え



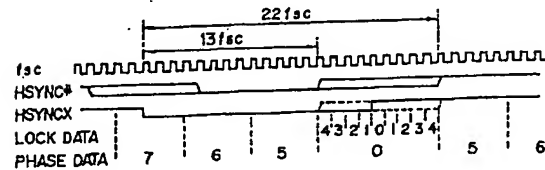
【図12】

HSYNCXの立ち下がり位置

(A)



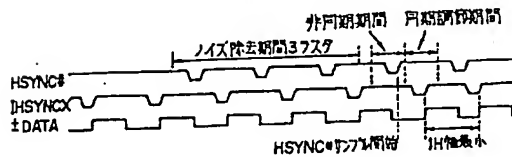
(B)



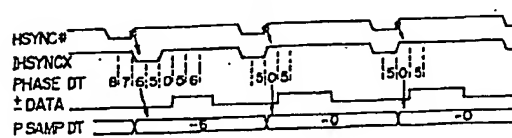
【図15】

外部入力HSYNC#へ内部発生IHSYNCXを同期する時の動作

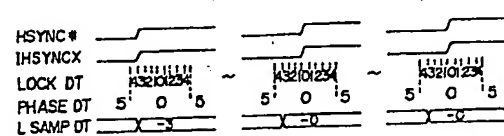
(A)



(B)

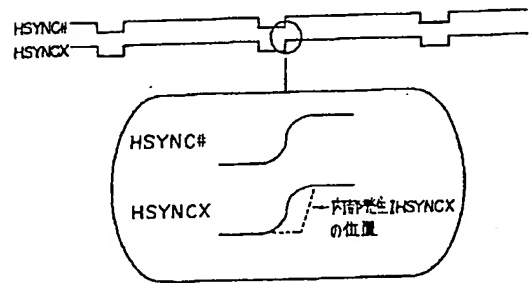


(C)



【図14】

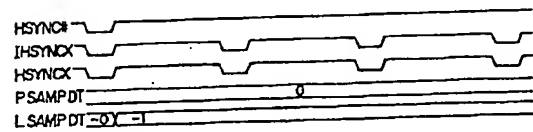
外部入力HSYNC#と内部発生IHSYNCXが同期した状態の動作



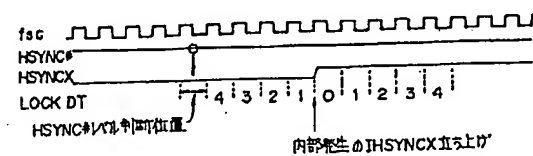
【図16】

外部入力のHSYNC#が停止した時の動作

(A)

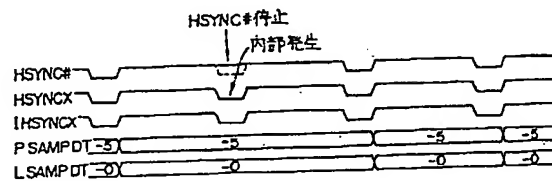


(B)



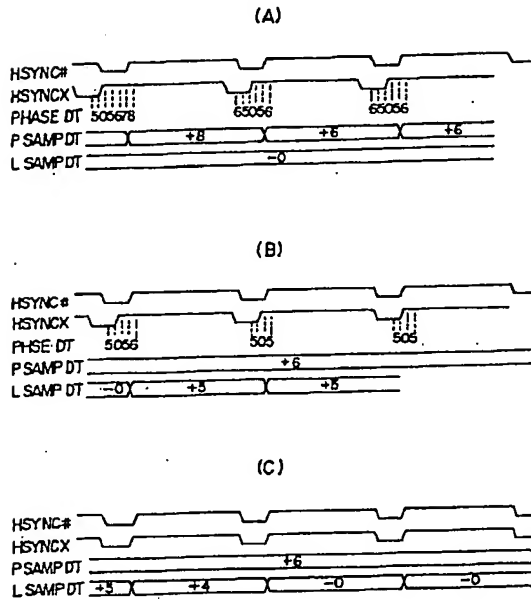
【図20】

外部入力のHSYNC#が1ラスタだけ停止した時の動作



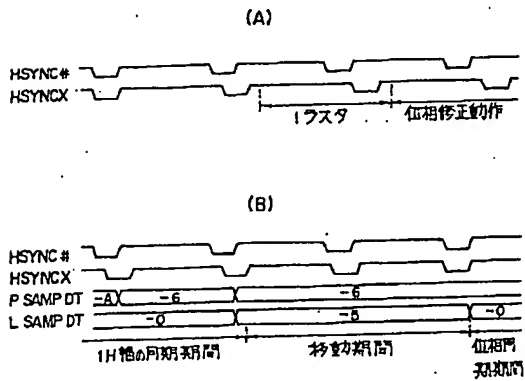
【図17】

外部入力のHSYNC#の1H幅が
($227.5 \times f_{sc}$) secより長い時の同期動作



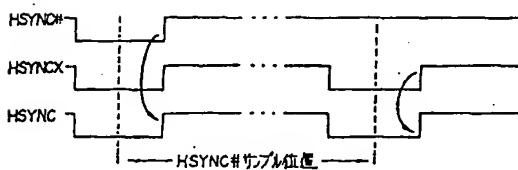
【図19】

外部入力のHSYNC#の同期が外れた時の動作



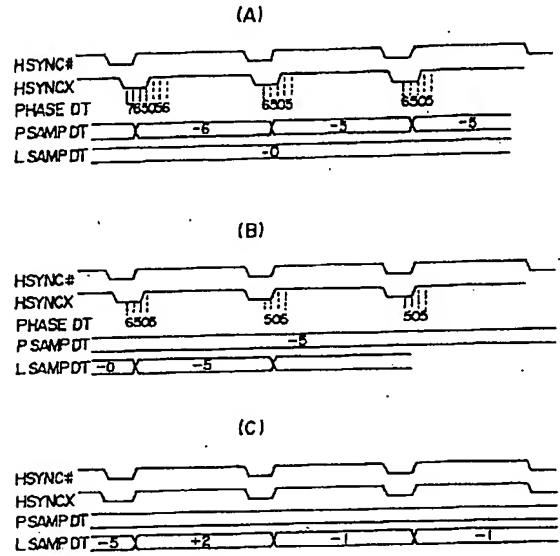
【図36】

HSYNC#の停止時の動作



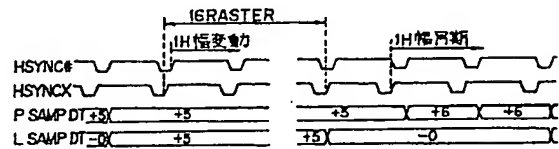
【図18】

外部入力のHSYNC#の1H幅が
($227.5 \times f_{sc}$) secより短い時の同期動作



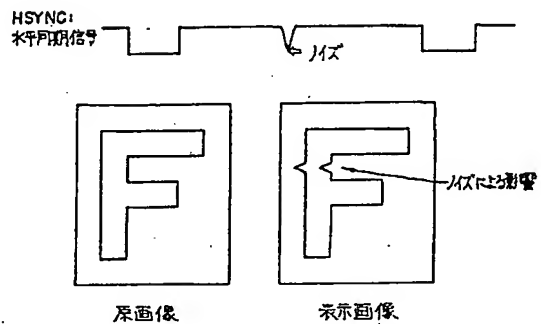
【図22】

1H同期後にHSYNC#の1H幅に
変動が生じた場合の動作



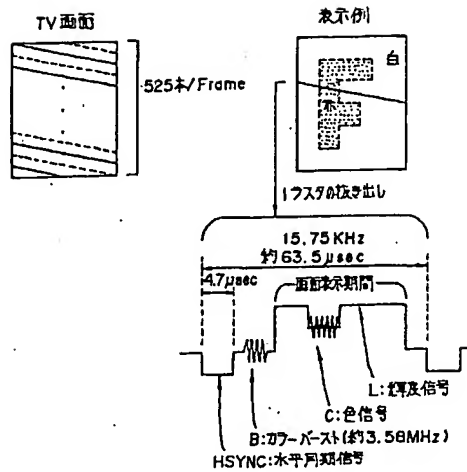
【図24】

ノイズにより影響を受けた画像



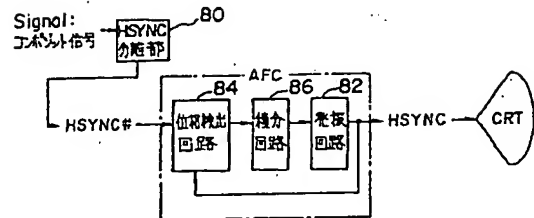
【図 23】

NTSC 規格の概略



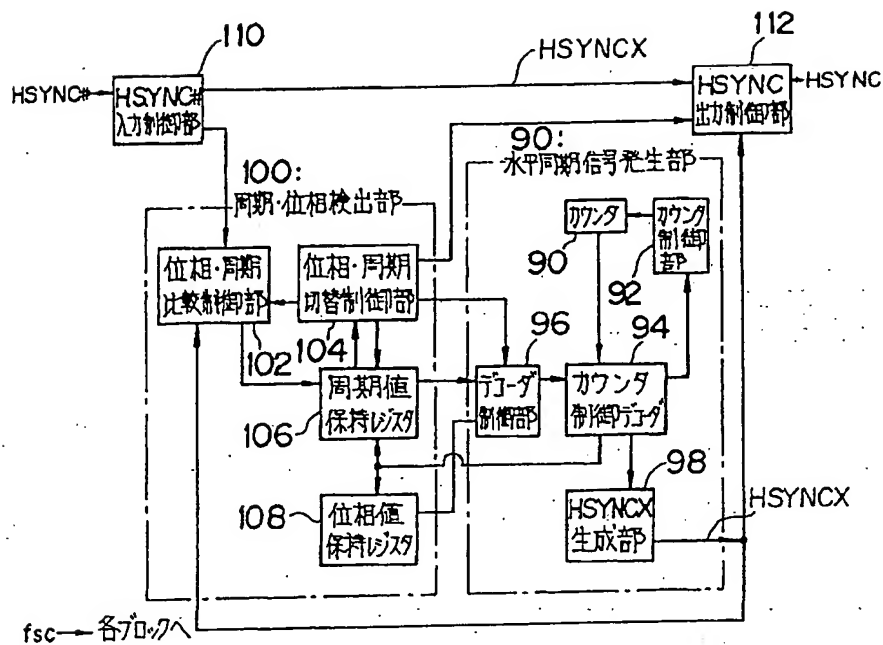
【図 25】

AFC の原理構成



【図 26】

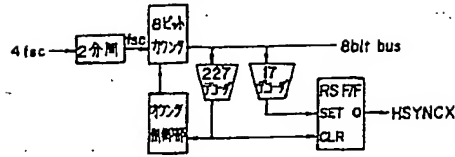
AFC の全体ブロック



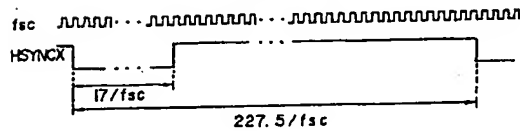
【図27】

水平同期信号発生部

(A) 回路構成

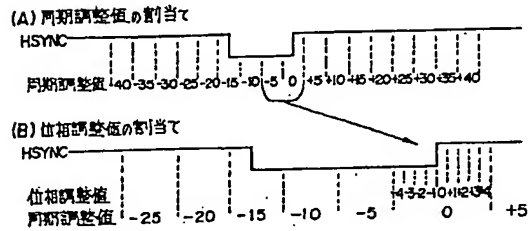


(B) 波形



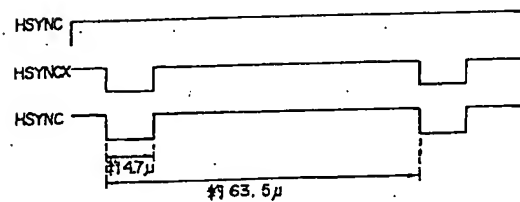
【図29】

位相差検出期間の動作



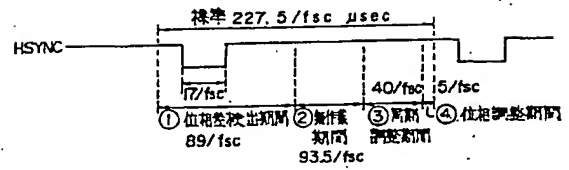
【図33】

初期動作の波形



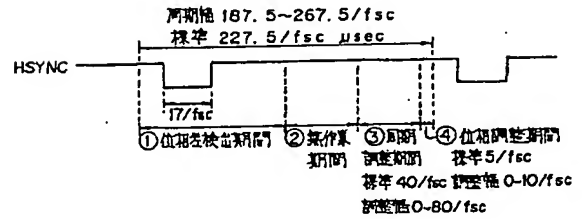
【図28】

HSYNCの1同期の分割



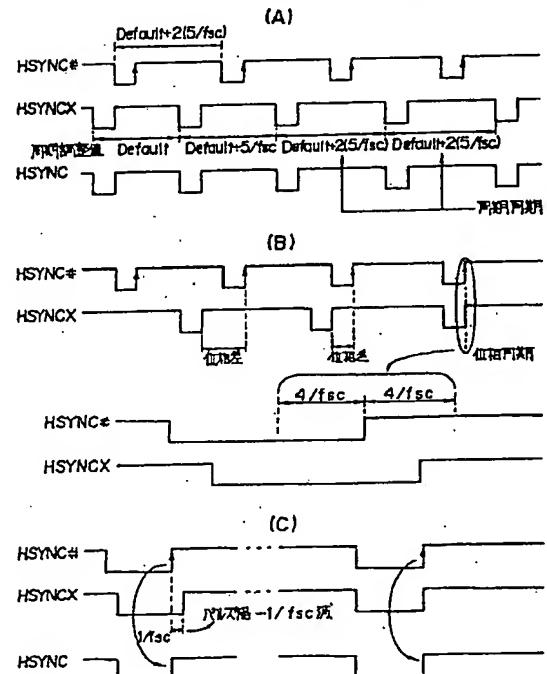
【図30】

各期間の動作



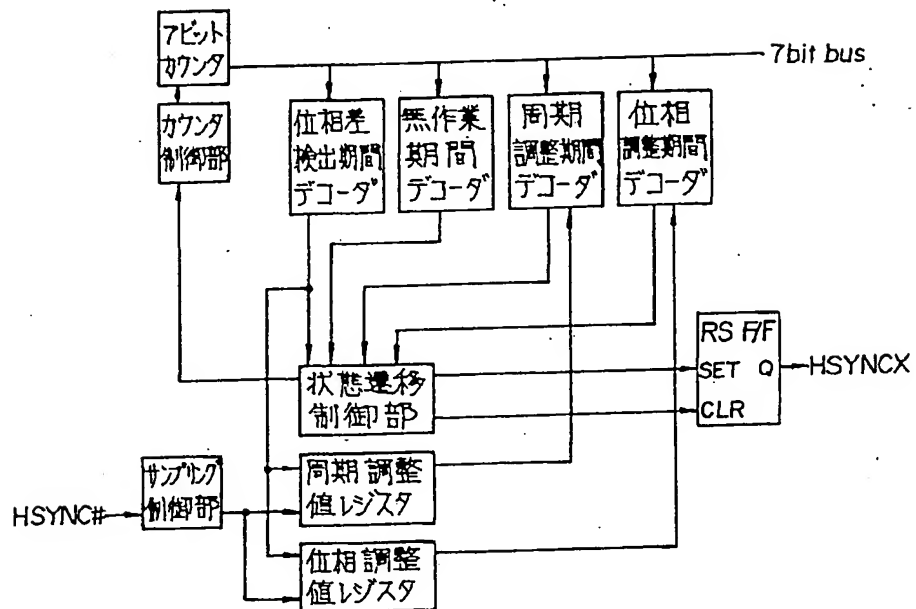
【図34】

HSYNC#とHSYNCXの周期調整



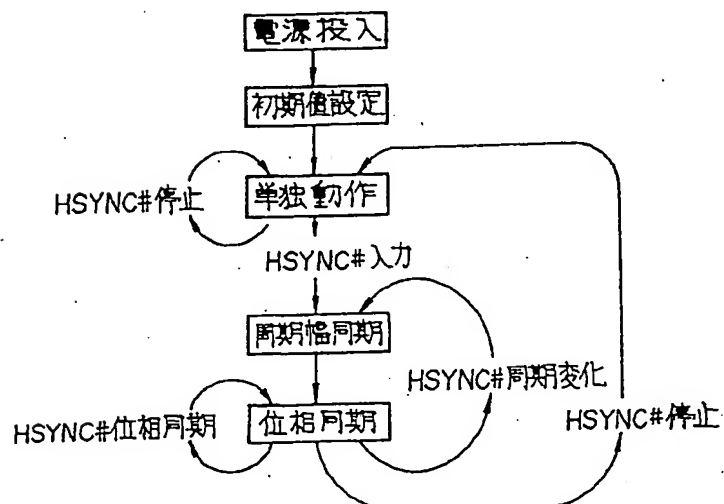
【図31】

タイミングの実現回路



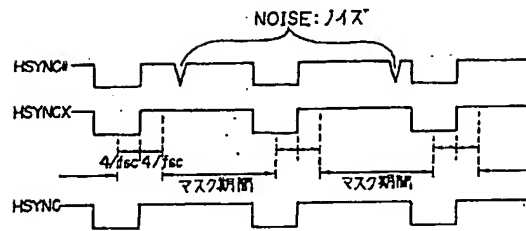
【図32】

AFCの動作状態の遷移図



【図35】

ノイズの除去時の動作



フロントページの続き

(51) Int. Cl. ⁶

H04N 5/06

識別記号

庁内整理番号

F1

技術表示箇所

Z 9070-5C